

第4章

ニソールの伝送線路解析ツール/ プリント基板設計CAD「CADLUS Sim」

DDR SDRAM と FPGA 間の 配線設計を体験する



佐藤一生

DDR SDRAM のバスは 100MHz 超と高速で、パターン配線によって生ずる各信号同士の遅延を嫌う。そのため伝送線路シミュレータを利用して遅延の生じない配線設計を行うことが多い。ここではニソールの伝送線路解析ツール兼プリント基板設計CAD「CADLUS Sim」を利用して、FPGA と DDR SDRAM 間の配線パターンの遅延を解析する。 (編集部)

本稿ではFPGA と DDR SDRAM を接続した配線パターンを、シミュレータを使って検証します。まず初めに、今回使うFPGA「XC4VLX25FF668」のIBISモデルをXilinx社のWebページ(<http://japan.xilinx.com/support/download/virtex4ibis.htm>)から入手し、CADLUS Simをインストールしたフォルダ…¥Cadlus_Sim_体験版¥CQ¥IBISに入れてください。

1. 基板上に部品を配置

今回のシミュレーションに利用する部品はFPGA(米国Xilinx社のXC4VLX25FF668)、二つのDDR SDRAM(エルピーダメモリのEDD5116AGTA)、ダンピング抵抗です。回路図(図1)は本ソフトウェアをインストールしたフォルダ…¥Cadlus_Sim_体験版中にSAMPLE1_A.PDFとして収録されています。最初にFPGA(IC3)、DDR SDRAM(IC4、IC5)の三つを、おおよその位置に配置します。あまり近づけるとダンピング抵抗が入りませんから、最初はIC3、IC4、IC5を少し離します。IC4とIC5は長手方向に並べるときれいに配線できそうです。

では、CADLUS Sim(以降、CADとする)を起動します。操作方法は「ファイル」→「開く」で基板選択画面が表示されるので、「ESC_SAMPLE1_A.COMP」を選択します。はい/いいえを聞いてきますので、「はい」を選択し、「基板作成準備の確認!」は「OK」を押すとパターン図が表示されます。

IC3、IC4、IC5の間にダンピング抵抗を入れますが、どのダンピング抵抗をどの位置に入れればよいでしょうか。配置の美しさからすると、基板の左からIC3、長手方法に並べたダンピング抵抗、長手方法に並べたIC4とIC5になります。これを基準にしてダンピング抵抗の位置を決めます。

「表示」→「ネット表示」→「全ネット表示」でラッツネット(パターンになっていない結線情報の線)を表示してください。ダンピング抵抗を少し動かすと、そのダンピング抵抗につながったラッツネットが動きます。そのラッツネットが全体的に短くなるようにします。

次にダンピング抵抗の位置を電氣的に考えます。ダンピング抵抗は出力ピンのそばに置くようにします。ですから、FPGAの出力であるCLK、/CK、A0～A12、BA0、BA1、/WE、/CAS、/RASに接続する抵抗は、できるだけFPGAに近づけます。D0～D31のような双方向のバスは、FPGAとDDR SDRAMの中間に配置しましょう。なお、ここまでの作業内容はESC_SAMPLE1_A.COMPに反映してあります(図2)。

● ラッツネットの交差を最小にするためにFPGAの端子配置を修正

再度、配線(ラッツネット)を見てみましょう。DDR

Keyword

FPGA, XC4VLX25FF668, DDR SDRAM, CADLUS Sim, IBISモデル, virtex4.ibs, edd5116agta401.ibs

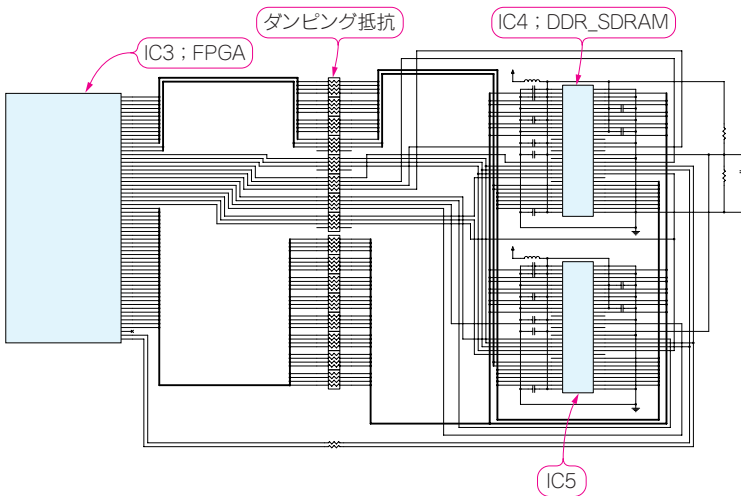


図1 DDR SDRAM と FPGA 間の配線

CADLUS Sim をインストールしたフォルダ...¥Cadlus_Sim_体験版中に SAMPLE1_A.PDF として収録されている。

SDRAM とダンピング抵抗の間は配線パターンを引けそうですが、ダンピング抵抗と FPGA の間はラッツネットの交差が多いので、パターンの引き回しが大変そうです。配線がスムーズになるように、ラッツネットの交差を最小限にすることが最終的に良いパターンになります。

では、どのようにすればラッツネットの交差が最小限になるのでしょうか。答えはパターンに合わせて回路図を修正することです。FPGA を使っているので、FPGA のピン配置をパターンの配線に都合の良いように変えます。さらにダンピング抵抗もパターンの配線に都合の良いように変えていきます。CAD 上でラッツネットを確認しながら回路を修正していきます。

回路図を SAMPLE1_A.PDF から SAMPLE1_B.PDF に修正します。配置図も ESC_SAMPLE1_B.COMP になります。CAD 上で ESC_SAMPLE1_B.COMP を開くと、変更済みの配置を見ることができます。

2. パターン配線を行う

それではパターンを引いていきます。どうすれば等長も含め特性の良い基板ができるでしょうか。そのためには、

- 信号をブロックごとに集める。
- なるべく配線同士の交差をなくし、パターン長を短くする。
- 等長配線長は、引き回しの一番長い線に合わせることになる。一番長い線をできるだけ短くする。

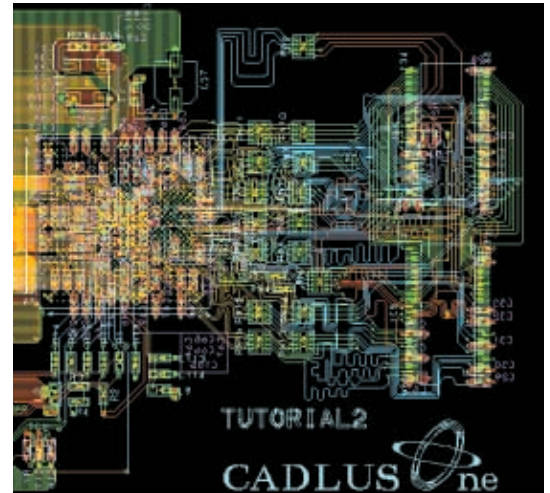


図3 パターン配線を終えたファイル ESC_SAMPLE1_C.COMP の一部

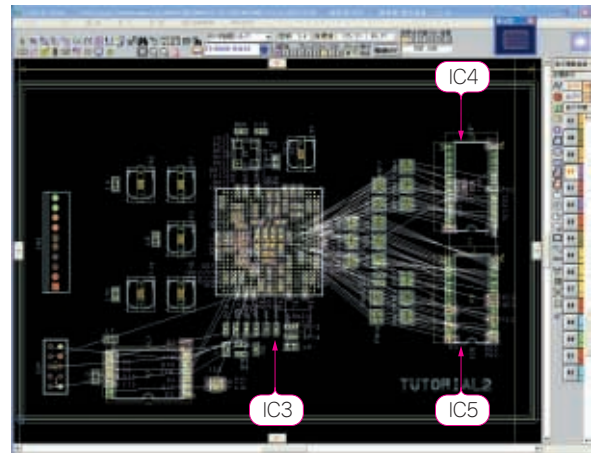


図2 FPGA と DDR SDRAM, ダンピング抵抗間にラッツネットを張り巡らせた様子

- 特に BGA は回路図からパターン・イメージが分かりにくいので、CAD 上で確認する。などが挙げられます。これらを考慮し、パターン配線を行います。パターン配線を終えたファイルが ESC_SAMPLE1_C.COMP です(図3)。

等長配線にするのは、基板のパターン長による遅延誤差を抑えるためです。特にデジタル回路の場合、複数の線がクロックのタイミングで動作します。

この複数の線を等長にしなかったらどうなるでしょうか。基板の表面層では 1mm 当たり、おおむね 2ps ~ 10ps 遅れます。等長配線しないで 50mm の配線差があると $50\text{mm} \times 10\text{ps}/\text{mm} = 500\text{ps}$ の遅延差がでます。

クロックは、20MHz 程度の CPU の場合は 1 クロックが

1

2

3

4

5

6

7