画像処理ボード入門＋ビデオ信号入門

目的:イメージセンサー出力の画像をHDTVモニターに映す

今回は基板の設計例を元に解説を行う

2009/10/19

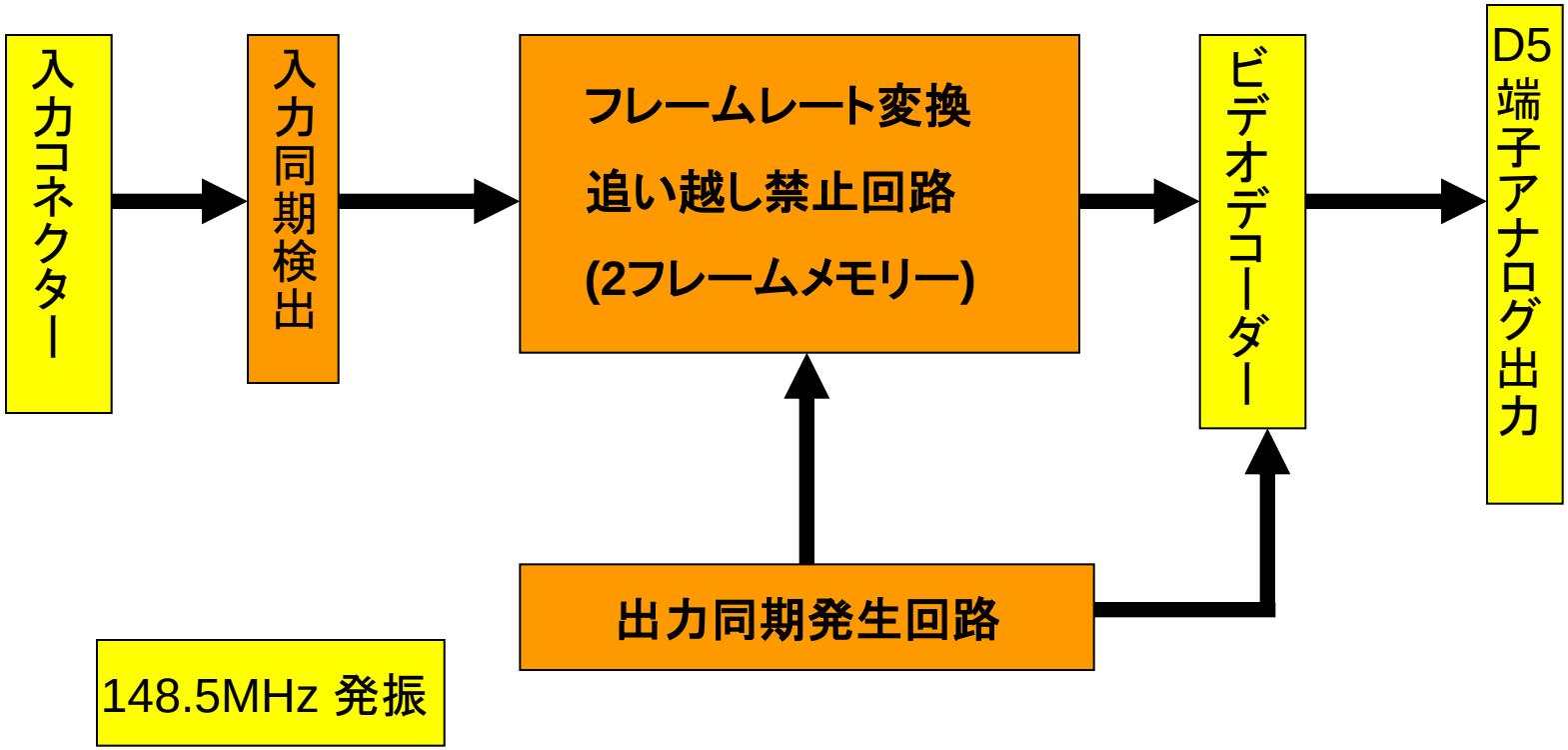
画像ボードの要求仕様

- 入力レートの対応

イメージセンサーにより仕様が異なる事があるが、今回はあるイメージセンサーの入力仕様に基づき解説を行う

- フレームレート変換
- フレーム追い越し禁止回路
- アナログ信号出力

今回説明する回路のブロック



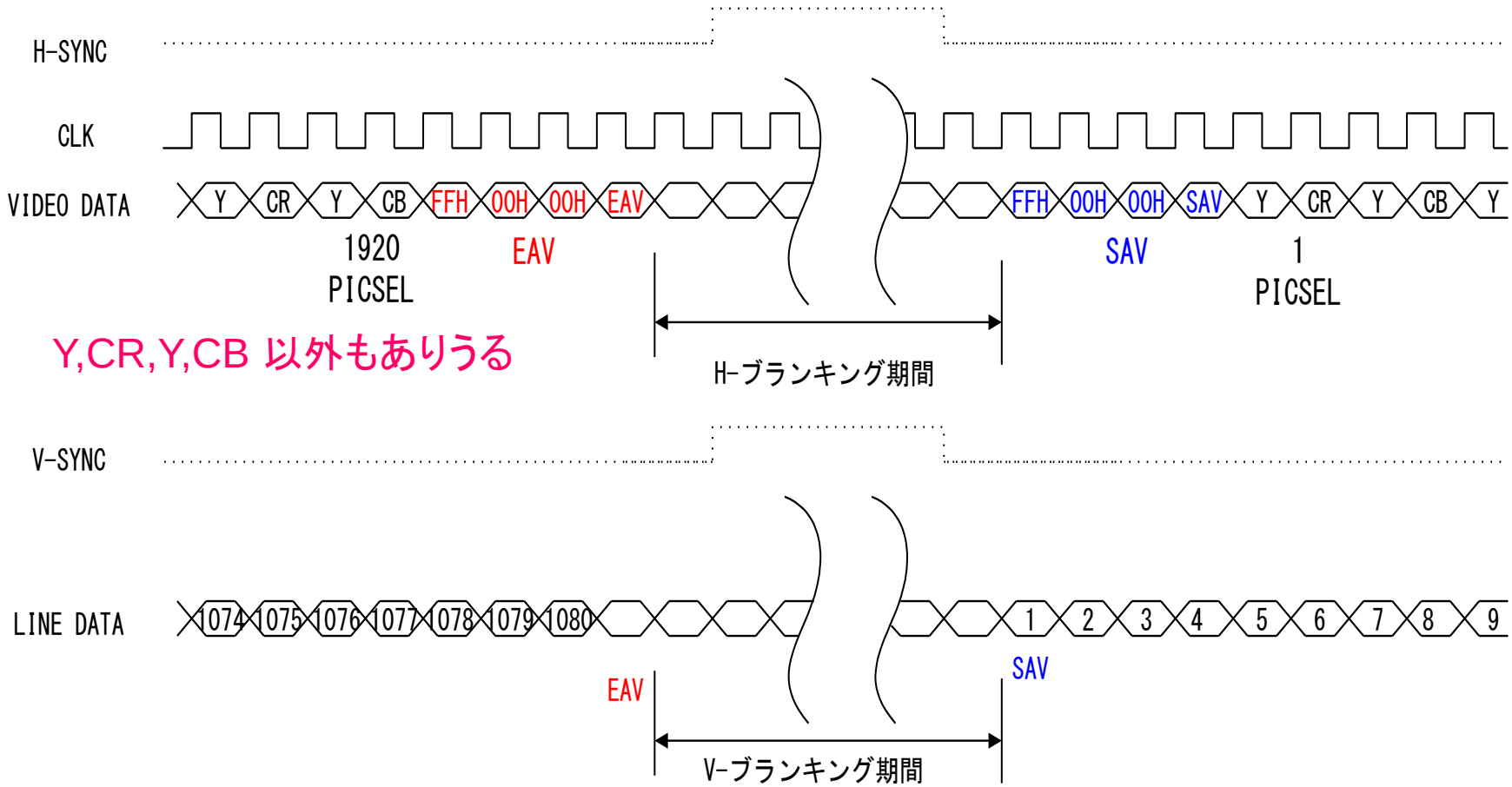
オレンジ色の部分を説明する

発振は27MHz / 2 X 11 = 148.5MHz

イメージセンサーの映像信号

- フレーム周波数は一定ではない
  15Hz～30Hz程度
  映像信号により変化する(DSPの演算時間の影響?)
- 同期信号の周期も一定ではない
  TOTAL H CLOCK , V LINE は不明
- 縦横の表示ライン,ピクセルとクロックは一定

センサーの入力信号



Y,CR,Y,CB 以外もありうる

H,V-SYNC が点線のようなり表示期間の判定ができない事がある

H-ブランキング, V-ブランキング 期間は映像によりリアルタイムに変化する

同期信号の抽出

- SAV , EAV の読み取り

SAV , EAV により H-SYNC , V-SYNC を判別する

SAV , EAV は 1 LINE に1回 , V-ブランキング期間も含め必ず有る

FFH,00H,00H,SAV(Start of Active Video)

FFH,00H,00H,EAV(End of Active Video)

SAV , EAV のビット解説(8 bit 時)

12bit時は 上詰めとなりBIT3-0は X となる

BIT	7	6	5	4	3	2	1	0
	1	F	V	H	X	X	X	X

F=0:FIELD 1　1:FIELD 2

V=0:表示ライン 1:非表示ライン　(V-SYNC)

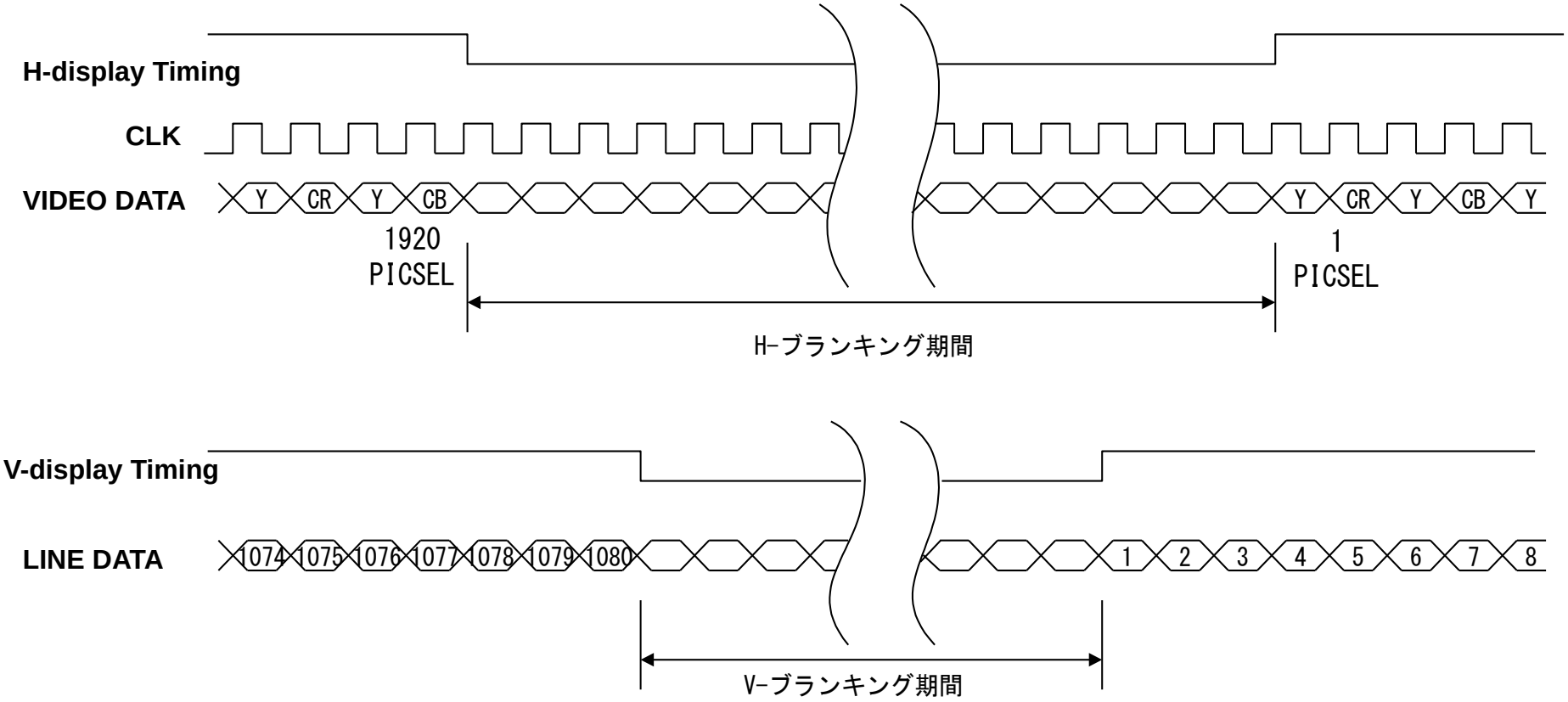
H=0: SAV　1: EAV　(H-SYNC)

但し ここで抽出されるH-SYNC,V-SYNCには

バックポーチ,フロントポーチは無い　←実際には表示期間の信号になる

* 映像信号に 00H,とFFHのデーターは存在しない

表示期間パルスの作成



SAV,EAVを含めブランキング期間をマスクしフレーム変換へ

マスクを行わないと出力に入力のSAV , EAV が間違えて入る事が有るため
出力段でのマスクでも問題ない

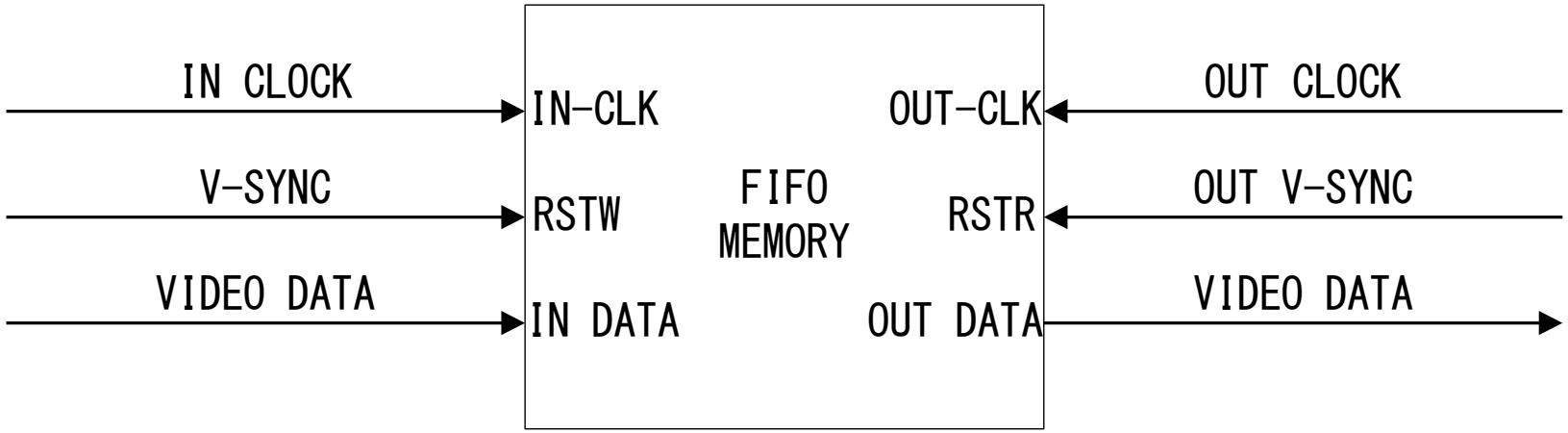
フレームレート変換

- VGA , HDTV出力フレームレートに変換
- 720p 60Hz, 1080p 60Hz にする
- フレーム追い越し禁止回路を入れる
- 現在,主流のメモリーをフレームメモリーとして採用する

主流メモリーとは SR-RAM , DDR-SDRAM , DDR2-SDRAM などを示す

単純なフレームレート変換

フレーム変換回路ブロック



・FIFO MEMORY は沖電気,TI社製などがある

・NTSCの解像度は良いがHDTVは容量,動作速度が不足している

・供給に不安がある

さてこの回路では映像にどんな事が起こるでしょうか？

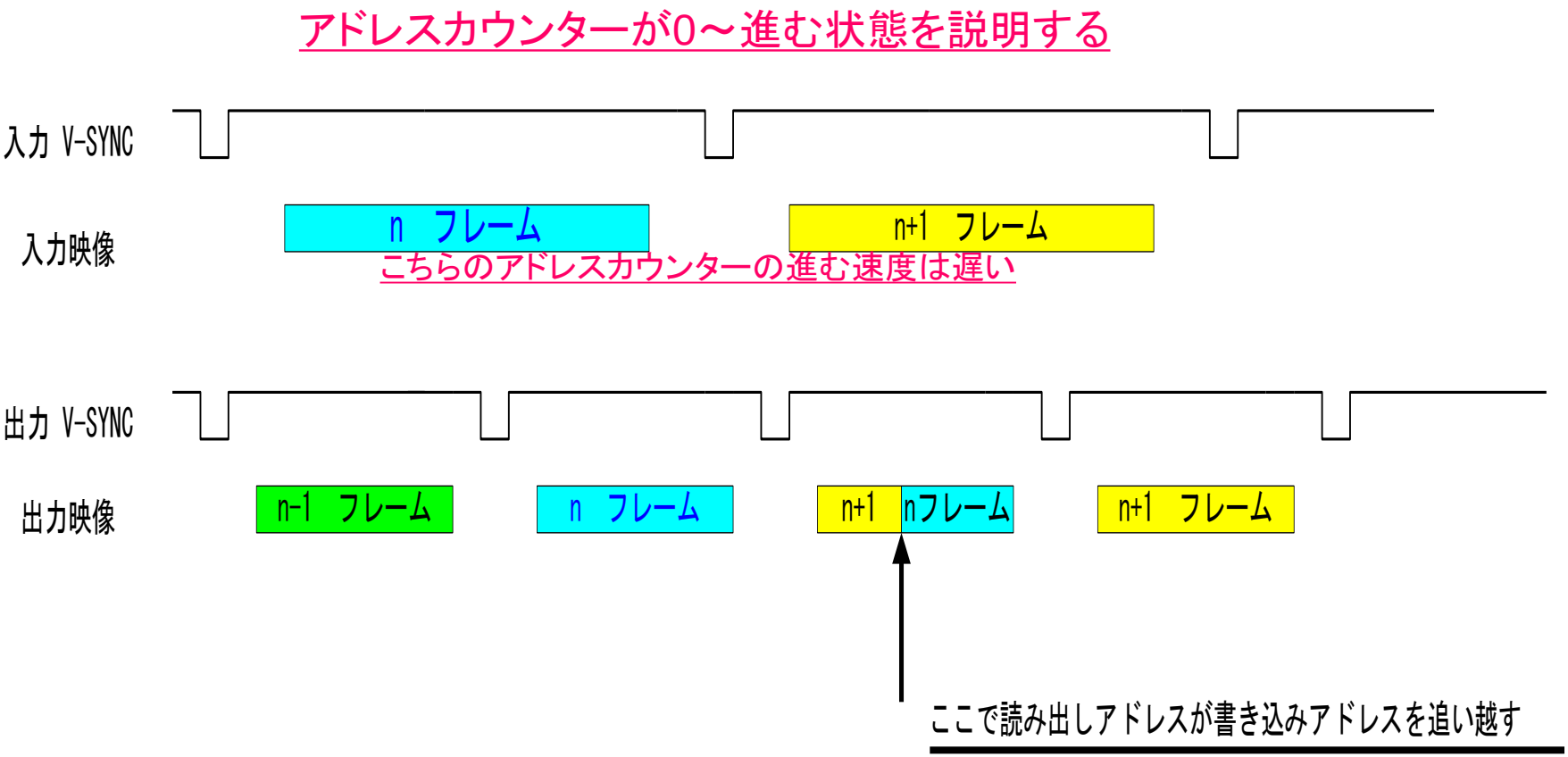
映像を見せて考えてもらう

単純なフレームレート変換の問題点

わかりますか? 映像の真ん中に横線が見えます

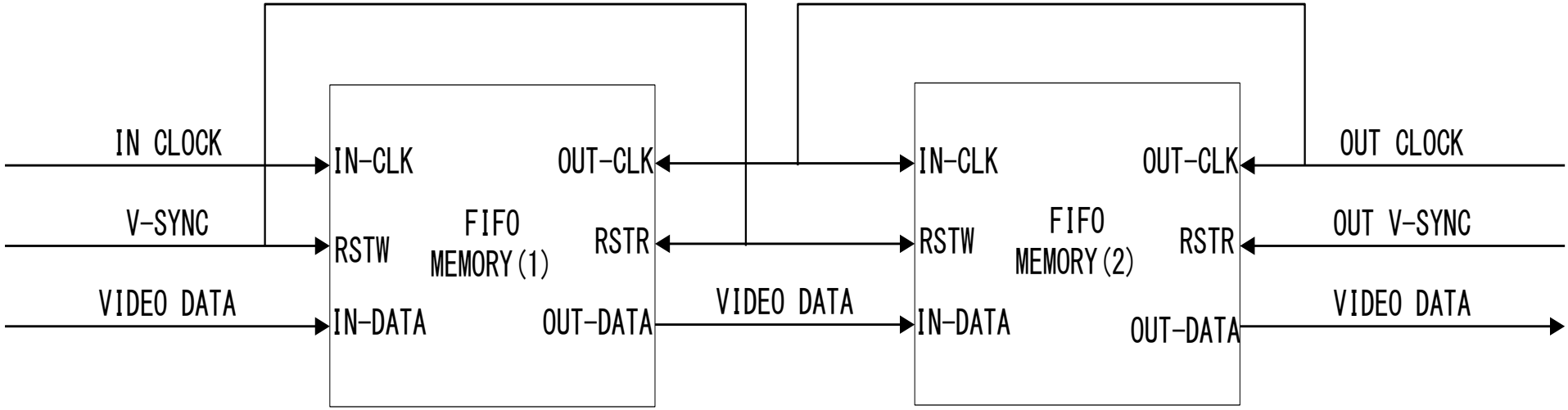
静止状態の映像では目立ちにくいですが高速の映像で目立ちます

映像に横線がでる理由



前のページのように早い動きの映像に目立って見える

フレーム追い越しの無いレート変換

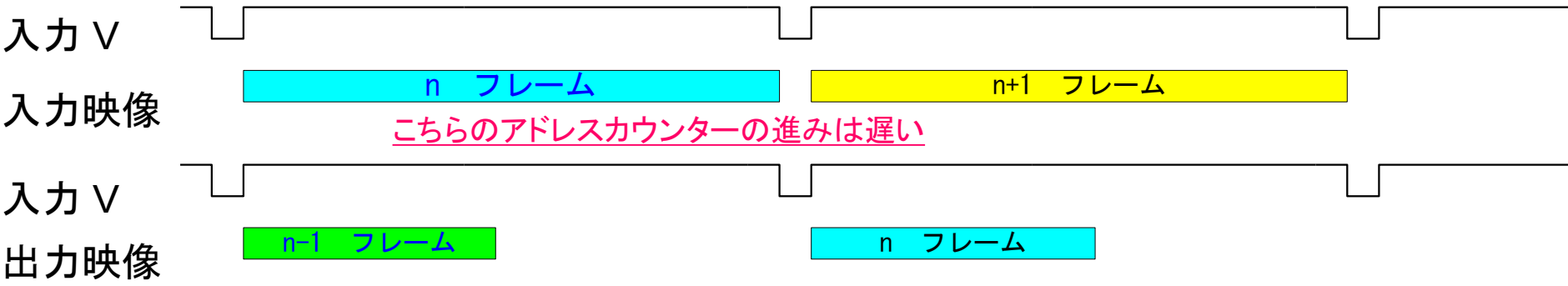


入出力のV-SYNCが同じなので追い越しはおきない

入出力のCLOCKが同じなので追い越しはおきない

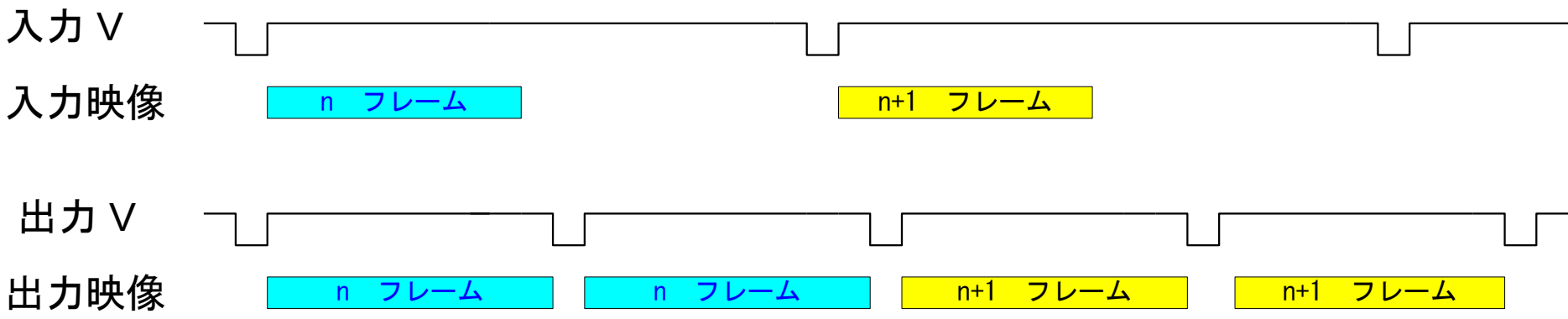
アドレスカウンターの追い越しが無い事を次ページタイムチャートで説明

1段目のフレームメモリー



RSTR , RSTW Tが同一 , CLOCK が違う

2段目のフレームメモリー



RSTR , RSTW が違う , CLOCKTが同一

横線が出ない事を映像で確認してもらう

汎用メモリーをフレームメモリーに応用

- 汎用メモリーとFIFOメモリーの比較をする
- 汎用メモリーの欠点を補う検討をする
- 補った部分も含めブロック化する

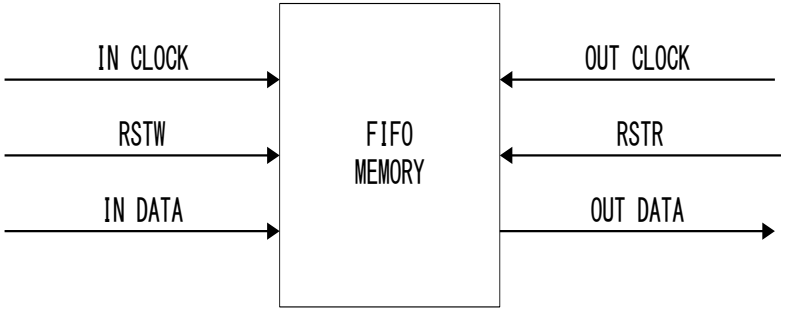
FIFOメモリーと汎用メモリーの比較

1.汎用メモリーは入手性と価格がFIFOメモリーより非常に有利

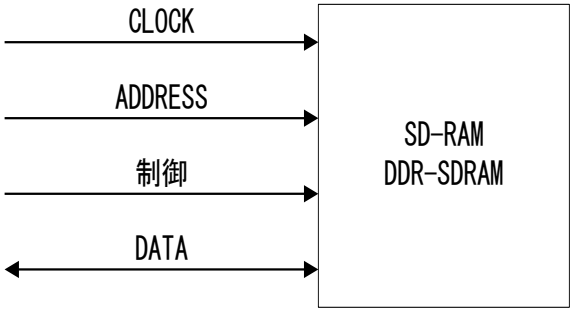
2.汎用メモリーはメモリー容量がFIFOメモリーに比べ非常に大きい

3.FIFOのクロックは,入出力が別なので周波数,位相が自由に変えられる

4.FIFOはデーターの入出力端子が別なので同時に入出力が可能



FIFOメモリーの入出力



SR-RAM , DDR-SDRAMの入出力

汎用メモリーの欠点を補えるか検討

- クロックの解決方法

ラインFIFOを前段に置く
(FPGA内のメモリーブロックを使用すると簡単に生成できる)

- データー端子の解決方法

1.データーバスを1H-SYNC内でR/W CYCLEを行う

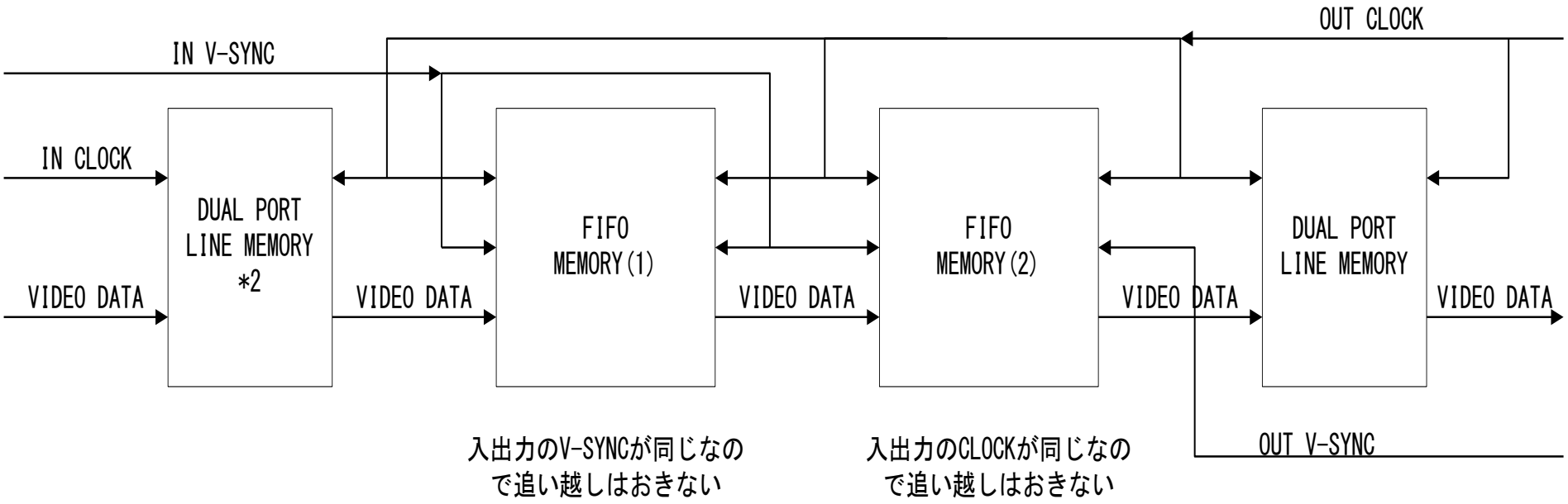
出力H-SYNCの ½期間の前半をREAD サイクル又はWRITE サイクルにし後半を逆にWRITE サイクル又はREAD サイクルにする

2.1によりR/W時間が1/2に短くなるためバス幅を2倍にする又は
DDR-SDRAM使用によりR/W速度を2倍にする

3.1によりR/W時間が1/2Hになるのでフレームメモリーの前段と
後段にラインFIFOを置き時間の調整を行う
前段(入力側ラインメモリーはクロック解決方法と共通になる)

以上により前項の3,4の欠点を補う

フレームメモリーにSD-RAM,DDR-SDRAMを使用した場合のフレームレート変換ブロック



ラインメモリーのアドレスはH-SYNCより生成する

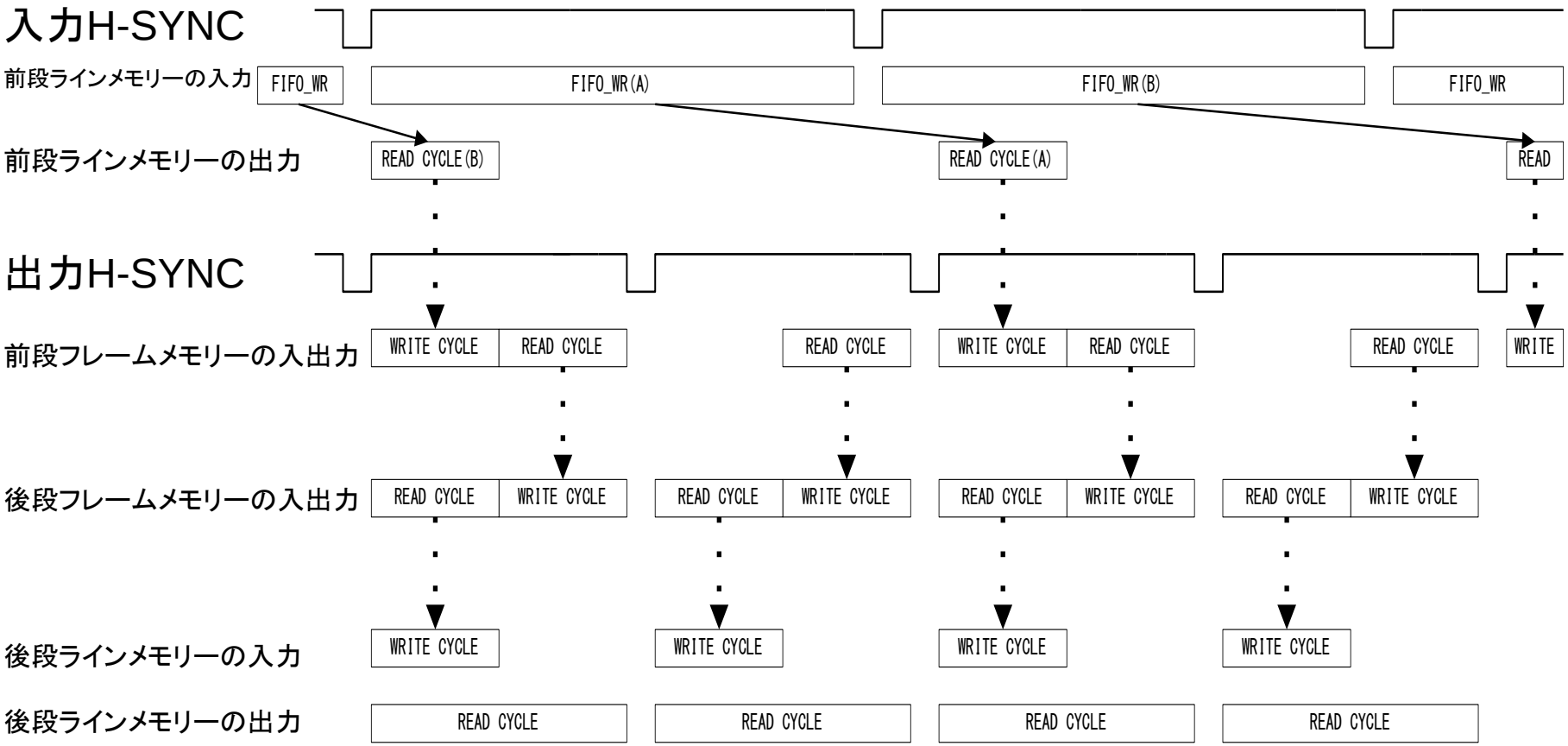
DUAL PORT LINE MEMORY は FPGA内のメモリーブロックにより構成

入力側ラインメモリーは2ライン分用意する

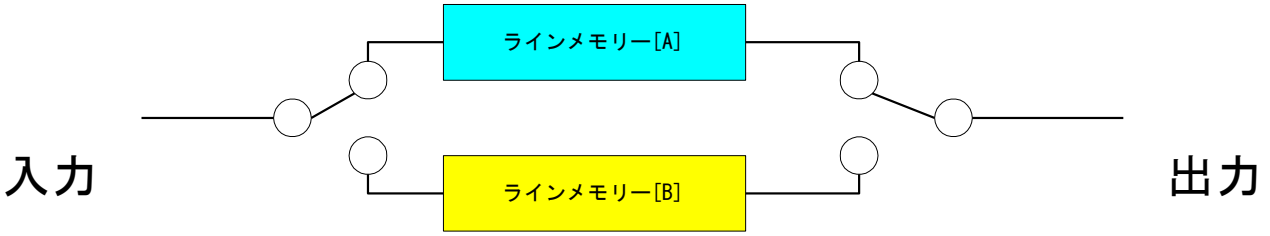
なぜ2ライン分になるかは後のページで解説

タイムチャートによる検討

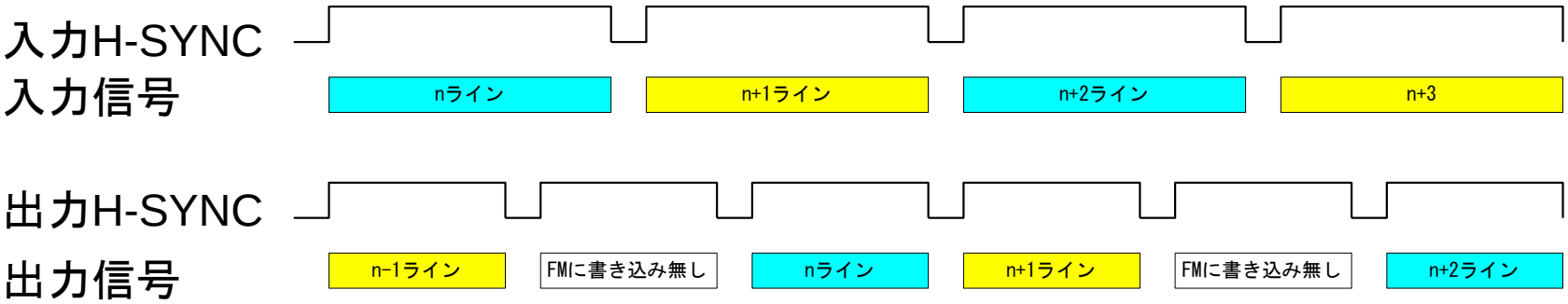
今度は基準がH-SYNCである事に注意する



入力側ラインメモリー



2ライン用意し入力1ライン毎に書き込むメモリーを切り替える



・ラインメモリーが1つではライン追い越しがおきる

・タイムチャートからわかるように 入力H-SYNC周期 ＞ 出力H-SYNC周期

・限界は IN-H + OUT-H X 1.5 なので 入力 H が 出力 H の 1.5倍以上の周期で無ければならない

1.なぜ1.5倍なのかは今回解説しないがみなさんで考えてみてください

2.今回の仕様は入力周期 ＞出力周期 X 2 なので問題は無い

3.周期は周波数の逆数でこの場合はH-SYNCの繰り返し時間

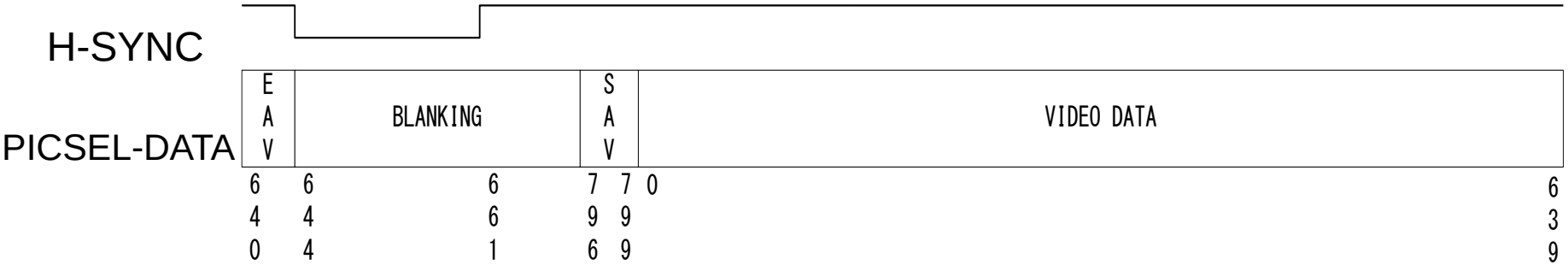
出力同期生成回路

入力同期との周波数,位相関係は無くフリーランで発生する

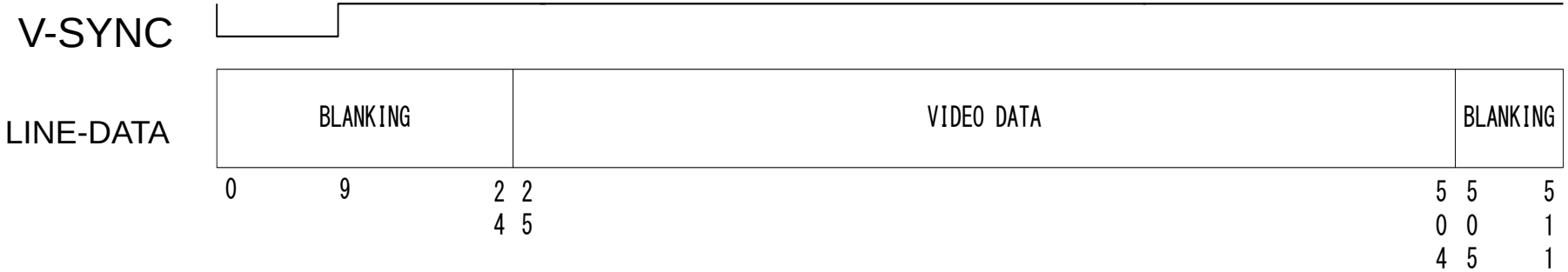
- 1920 X 1080 は SMPTE274M **準拠**
- 1280 X 720　は SMPTE296M **準拠**
- 640 X 480 は VGA 規格**準拠**

VGA (640Picsel × 480Line)

CLOCK = 25.2MHz(24.75MHz) , H TOTAL 800Picsel , V TOTAL 525Line



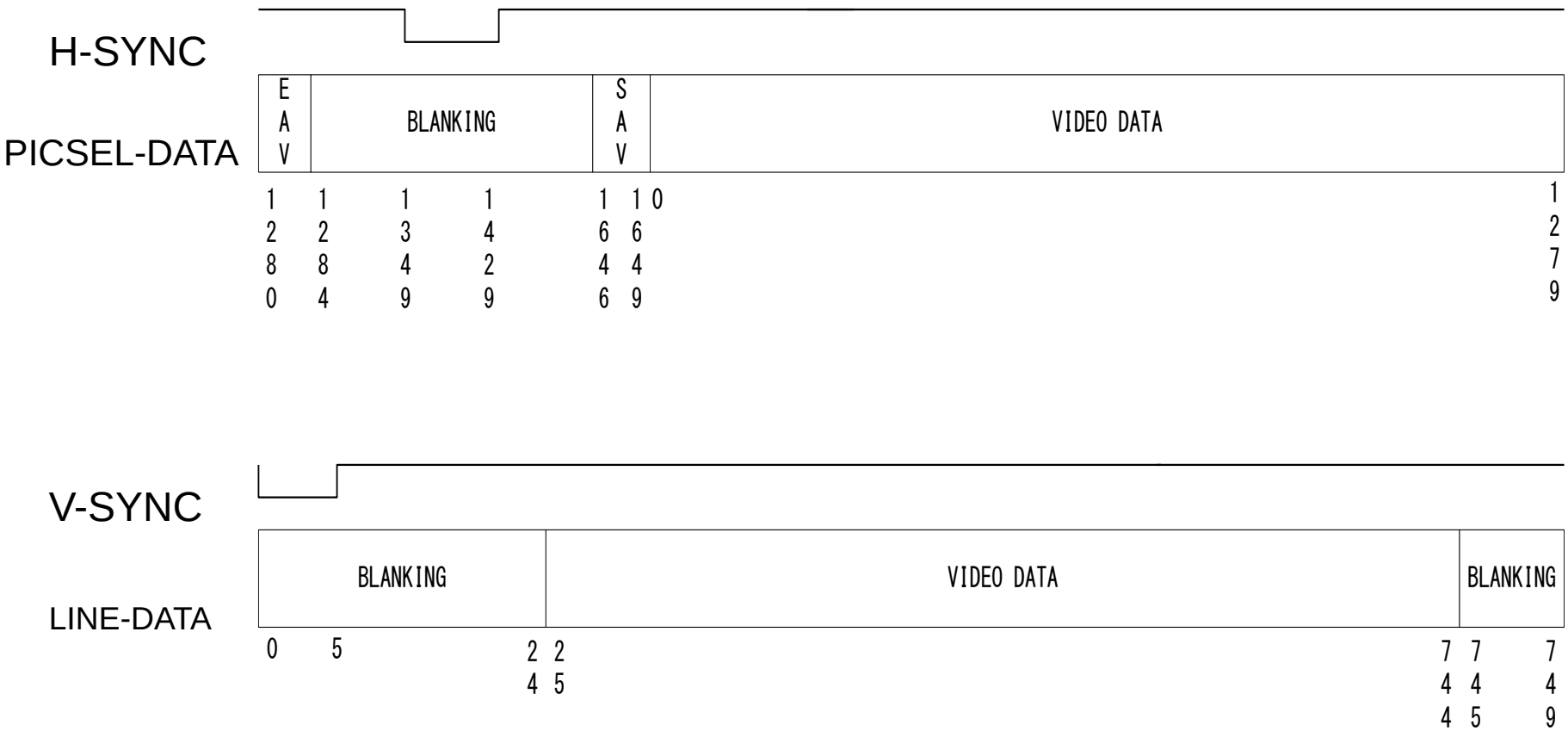
配布資料は 640 → 644 , 644 → 648 になっている



CLOCK は 148.5MHz / 6 フレーム周波数は58.9Hz になる

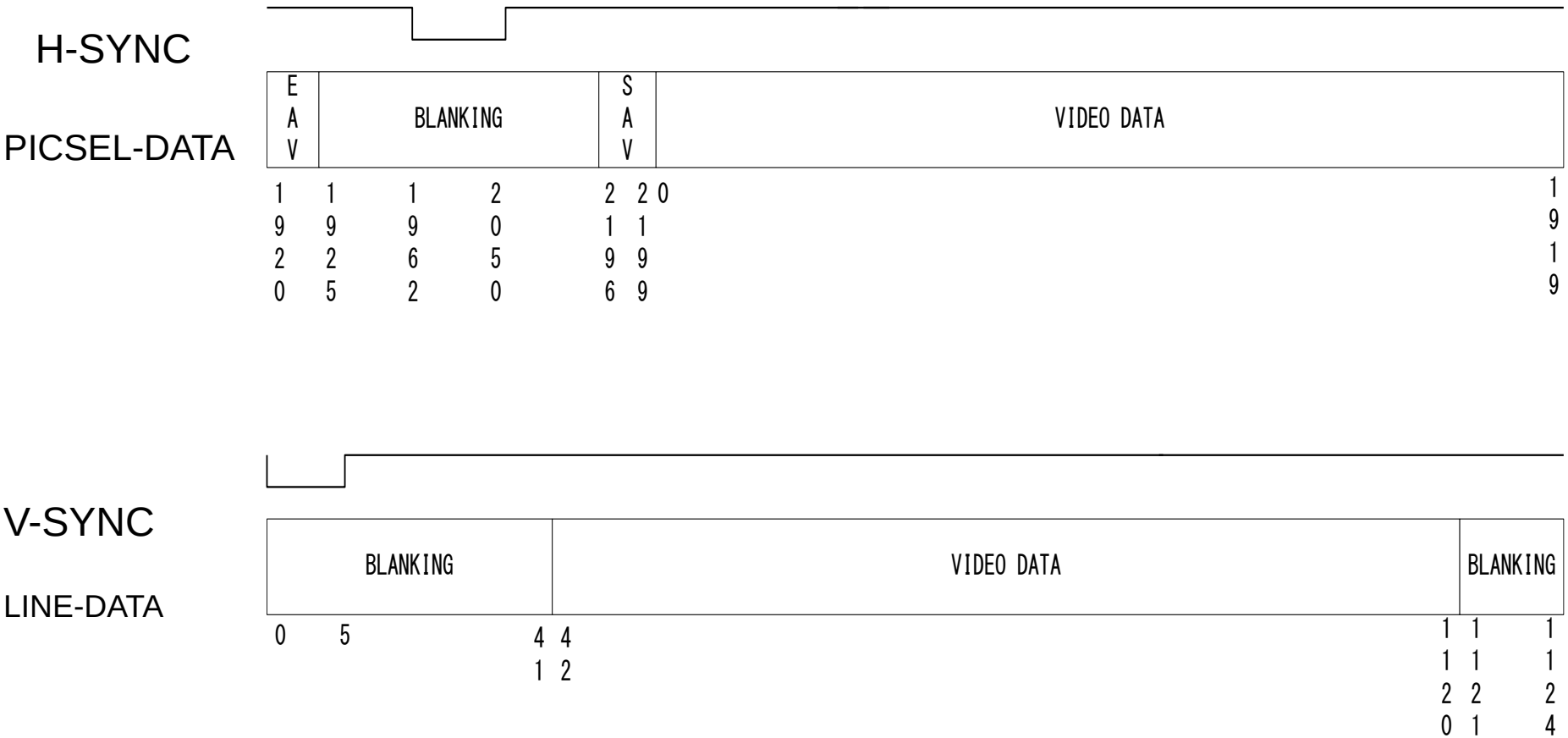
HD 720P (SMPTE296M)

CLOCK = 74.25MHz , H TOTAL 1650Picsel , V TOTAL 750Line



HD 1080P (SMPTE274M)

CLOCK = 148.5MHz , H TOTAL 2200Picsel , V TOTAL 1125Line



同期信号の合成

- フレーム変換回路と出力同期信号発生回路の信号を合成する

- 必要に応じて SAV , EAV を付加する

H-SYNC , V-SYNC ,FILED が有れば要らない

- 必要に応じて H-SYNC , V-SYNC ,FILED を出力する

上とは逆に SAV , EAV が有れば要らない

- 合成信号をビデオデコーダーに送る

FIELD はインターレースの時のみ使用する　今回はプログレッシブなので未使用

ビデオデコーダー

- 今回はA/D 社製の ADV7392 を使用したため 1080p は表示できない

配布には無いページ